

T 1/5/1

1/5/1

DIALOG(R)File 347:JAPIO

(c) 2001 JPO & JAPIO. All rts. reserv.

04572520 **Image available**

HIGH-SPEED A/D CONVERTOR

PUB. NO.: 06-244420 [JP 6244420 A]
PUBLISHED: September 02, 1994 (19940902)
INVENTOR(s): MASUI SHOICHI
APPLICANT(s): NIPPON STEEL CORP [000665] (A Japanese Company or Corporation), JP (Japan)
APPL. NO.: 05-047272 [JP 9347272]
FILED: February 12, 1993 (19930212)
INTL CLASS: [5] H01L-029/784; H01L-027/12; H03K-005/08; H03M-001/12; H03M-001/34
JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components); 42.4 (ELECTRONICS -- Basic Circuits)
JAPIO KEYWORD: R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors, MOS); R100 (ELECTRONIC MATERIALS -- Ion Implantation)
JOURNAL: Section: E, Section No. 1637, Vol. 18, No. 629, Pg. 23, November 30, 1994 (19941130)

ABSTRACT

PURPOSE: To reduce the offset voltage of comparator to improve the yield.

CONSTITUTION: MOS transistors 1, 2, 3, and 4 which are formed on an SOI as absolute depletion type elements where a depletion layer under a gate is extended over the SOI is used as input transistors and the impurity density doped in the SOI is controlled to be at most 1×10^{16} (sup 16) (cm(sup -3)). Thus, the necessary number of comparators are provided according to required resolution and a high-speed A/D convertor is formed so as to compare the specified voltage and input voltage by the comparator and convert the inputted analog signal to digital signal, thereby eliminating the dispersion of MOS transistor characteristics.

?

(11)特許出願公開番号

特開平6-244420

(43)公開日 平成6年(1994)9月2日

(51)Int.Cl. ³	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/784				
27/12	Z			
H 0 3 K 5/08	T	7402-5 J		
H 0 3 M 1/12		9065-5 J		
		9056-4M	H 0 1 L 29/ 78	3 1 1 H
審査請求 未請求 請求項の数1 F D (全 8 頁) 最終頁に続く				

(21)出願番号 特願平5-47272

(22)出願日 平成5年(1993)2月12日

(71)出願人 000006655

新日本製鐵株式会社

東京都千代田区大手町2丁目6番3号

(72) 発明者 梶井 昇一

相模原市淵野辺 5-10-1 新日本製鐵株式
会社エレクトロニクス研究所内

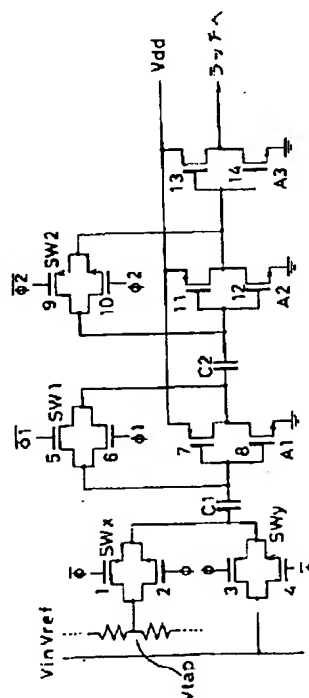
(74)代理人 弁理士 國分 孝悦

(54) 【発明の名称】 高速A/D変換器

(57) 【要約】

【目的】 比較器のオフセット電圧を低減して歩留りを向上させるようにすることを目的とする。

【構成】 ゲート下の空乏層がSOI全体に広がる完全空乏型素子としてSOI上に形成されたMOSトランジスタ1、2、3、4を入力トランジスタとして使用するとともに、上記SOI中にドーピングされた不純物濃度が $1 \times 10^{16} \text{ (cm}^{-3}\text{)}$ 以下に制御することにより、要求される分解能に応じて必要な数だけの比較器を設け、上記比較器で所定の電圧と入力電圧とを比較して入力アナログ信号をデジタル信号に変換するようにした高速A/D変換器を構成し、MOSトランジスタの特性のばらつきを小さくする。



【特許請求の範囲】

【請求項1】 要求される分解能に応じて必要な数だけの比較器が設けられ、上記比較器で所定の電圧と入力電圧とを比較して入力アナログ信号をデジタル信号に変換するようにした高速A/D変換器において、ゲート下の空乏層がSOI全体に広がる完全空乏型素子としてSOI上に形成されたMOSトランジスタが入力トランジスタとして使用されるとともに、上記SOI中にドーパされた不純物濃度が 1×10^{16} (cm⁻³)以下に制御されていることを特徴とする高速A/D変換器。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、高速A/D変換器に関するもので、特に、変換器の内部回路として利用される比較器の改良に関する。

【0002】

【従来の技術】 図1は、Lee, Terman Helierによって開発され (IEEE Journal of Solid-State Circuits, SC-14, No. 6, pp. 926-932, 1979)、従来の高速A/D変換器に広く使用されているチョッパ型の比較器の回路図を示す。

【0003】 図1において、Vinは、デジタル値に変換されるべきアナログ入力信号であり、Vtapは基準電圧Vrefを分割した参照電圧である。比較器は、VinとVtapの電圧のどちらかが大きいかを比較し、“H”または“L”のデジタル値を出力する。

【0004】 比較器の動作モードは、SW1、SW2、SWx、SWyの各スイッチによって制御され、各スイッチを駆動する制御用クロックは、図2の波形図に示す波形を持っている。

【0005】 A1、A2、A3はCMOSインバータであるが、ここではアナログ増幅器として動作する。最初に、スイッチSW1、SW2、SWxが閉じているときは、比較器はリセット期間にあり、インバータ型アンプA1、A2は入力と出力とが短絡されて、自動的に高利得状態になるようにバイアスされ、かつ、アンプはオーバードライブ状態にあったとしても回復される。この時にアンプの入力にはVtapが選択されている。

【0006】 次に、図2に示すように、スイッチSW1、SW2を順に開放してアンプが増幅できる状態にし、最後にスイッチSWxとSWyを切り換えて入力信号Vinをアンプに入力する。スイッチを順に開放するのは、スイッチSW1、SW2からのクロックフィードスルーやチャージ・インジェクションをコンデンサC1とC2に蓄積して、その影響をキャンセルするためである。

【0007】 スwitchSWyが閉じて、入力信号VinがコンデンサC1に印加された状態が比較器の標本期間

になり、(Vin-Vtap)の電圧が増幅される。

(Vin-Vtap)が正の時、出力電圧は反転されて“L”レベルになり、(Vin-Vtap)が負の時には逆に“H”レベルになる。

【0008】 この出力が、入力アナログ信号Vinをデジタル値に変換した出力となる。高速A/D変換器では、要求される分解能に応じて必要な数だけの比較器が用意され、各比較器ではVtap (Vrefを分割して得られるVtapの数と比較器の数は等しい)を、入力電圧Vinと比較してアナログ信号をデジタル信号に変換する。

【0009】 この高速A/D変換器の分解能を決定する要因は、入力側から見たオフセット電圧Vosである。CMOS技術を利用した回路では、バイポーラ技術を利用した場合に比べて、トランジスタ特性のばらつきが大きいために、オフセット電圧Vosは大きな値となる。このため、通常のCMOS比較器ではオフセット電圧Vosの影響を下げるための工夫がなされている。

【0010】 なお、図1に示されたコンデンサC1とC2は、A/D変換器のリセット時にオフセット電圧Vosを蓄積して、標本時においてVosが悪影響を及ぼさないように補償する役割を果たしている。

【0011】

【発明が解決しようとする課題】 図1に示すように、入力側にコンデンサC1を置いてオフセット電圧Vosの補償を行う場合には、標本時のオフセット電圧は $-Vos / (1+A)$ となる。つまり、実際のオフセット電圧の大きさの $1 / (1+A)$ に影響を下げるができる。

【0012】 ここでAは、インバータ型アンプA1の増幅率である。オフセット電圧Vosの影響を小さくするためには、アンプの増幅率Aを大きくしなければならないが、アンプの増幅率Aが大きいと、リセット時にアンプの動作が不安定になったり、チャージ・インジェクション等の影響によってアンプが正常動作領域からはずれてしまうという問題を生ずる。

【0013】 特に後者の問題は、スイッチを順に開放していくことによってチャージ・インジェクションの効果を低減する方法をとることができない高速A/D変換器において大きな問題となる。また、実際の回路においてはトランジスタの性能のばらつきは不可避に存在しており、これを原因とするオフセット電圧Vosを低減するためにトランジスタの特性のばらつきを小さくするために工夫することは、歩留りの向上のために有利となる。

【0014】 本発明は上述の問題点にかんがみ、比較器のオフセット電圧を低減して歩留りを向上させることを目的とする。

【0015】

【課題を解決するための手段】 本発明の高速A/D変換器は、要求される分解能に応じて必要な数だけの比較器

3

が設けられ、上記比較器で所定の電圧と入力電圧とを比較して入力アナログ信号をデジタル信号に変換するようにした高速A/D変換器において、ゲート下の空乏層がSOI全体に広がる完全空乏型素子としてSOI上に形成されたMOSTランジスタが入力ランジスタとして使用されるとともに、上記SOI中にドーパされた不純物濃度が 1×10^{16} (cm^{-3})以下に制御されていることを特徴とする。

【0016】

【作用】本発明の高速A/D変換器は、入力ランジスタとしてSOI上に形成されたMOSTランジスタのSOI中の不純物濃度が、 1×10^{15} (cm^{-3})以下に制御されることにより、しきい値のばらつきが小さくなることによりランジスタの特性のばらつきが小さくなるので、比較器の入力側から見たオフセット電圧が低減される。

【0017】

【実施例】以下、本発明の高速A/D変換器の一実施例を図面を参照して説明する。図1は、本発明の実施例を示し、高速A/D変換器の回路図であり、図1に示される比較器によって構成されるA/D変換器を、酸素イオン注入法で得たSOI基板上に作成した。

【0018】図1において、1、3、5、7、9、11および13はpチャネル型ランジスタであり、2、4、6、8、10、12および14はnチャネル型ランジスタである。

【0019】また、SW1、SW2、SWx、SWyはMOSスイッチ、Vinは入力電圧、Vrefは基準電圧、Vtapは参照電圧であり、A1、A2、A3はインバータ型のアンプ、C1、C2はオフセット電圧補償用のコンデンサである。さらに、φ1はスイッチSW1を駆動するためのクロック、φ2はスイッチSW2を駆動するためのクロック、φはスイッチSWxとSWyを切り換えるためのクロックである。

【0020】また、図3および図4は、本発明の一実施例として、比較器を構成するSOI/MOSTランジスタの製造工程を、素子断面図を用いて示している。最初に、図3(a)は、シリコン基板23上に、酸化シリコンからなる埋め込み絶縁膜22と、単結晶シリコン薄膜(SOI)21が設けられていたSIMOX基板を示す。

【0021】本実施例において、得られた埋め込み酸化膜厚は440nm、SOI膜厚は70nmであった。なお、本発明はSIMOX基板以外にも、レーザー再結晶法や、固相エピタキシャル成長法などによって得られたSOI基板でも利用することができる。

【0022】このSOI基板21に、熱酸化によって表面に25nmのパッド酸化膜24を形成し、続いて、CVD法によって80nmの窒化シリコン膜25を堆積する。その後、フォトリソグラフィによって、素子領域以

4

外の領域に存在する窒化シリコン膜25を除去し、ウェット酸化によって窒化シリコン膜25が除去された領域のSOI膜21を埋め込み酸化膜22に到達するまで完全に酸化する。

【0023】この工程によって、図3(b)に示すように、後にMOSTランジスタが形成されるSOIの領域は、酸化シリコンによって囲まれて、周囲から電気的に絶縁された状態となる。この後、ドライ・エッチングによって表面と裏面に残った窒化シリコン膜25を除去し、続いて、パッド酸化膜24をウェット・エッチングで除去し、犠牲酸化膜として、酸化シリコンを、熱酸化法によって20nm堆積した。

【0024】犠牲酸化後、SOI中の不純物濃度を制御するために、nチャネル型SOI/MOSTランジスタが形成される領域にホウ素を15keVの加速電圧で 3×10^{16} (cm^{-2})、pチャネル型の場合にはリンを40keVの加速電圧で 3×10^{19} (cm^{-2})だけイオン注入する。

【0025】計算機シミュレーションによれば、両ランジスタとも、SOI中の不純物濃度は約 4×10^{15} (cm^{-3})になっている。この後、犠牲酸化膜をウェット・エッチングによって除去し、ドライ酸化によって15nmの酸化シリコンを形成し、ゲート絶縁膜26とする。ここまでの状態が、図3(c)に示されている。

【0026】ゲート絶縁膜形成後、LPCVD法によって500nmのドーピングされていないポリシリコンを堆積し、フォトリソグラフィを用いて、nチャネル型SOI/MOSTランジスタのゲートが形成される領域にホウ素を80keVの加速電圧で 2×10^{15} (cm^{-2})イオン注入する。また、pチャネル型SOI/MOSTランジスタのゲートが形成される領域にはヒ素を180keVの加速電圧で 2×10^{15} (cm^{-2})イオン注入する。

【0027】その後、フォトリソグラフィによって、ポリシリコン薄膜を所定の形状に加工する。この後の熱処理によって、nチャネル素子にはp型のポリシリコン・ゲートが形成され、pチャネル素子にはn型のポリシリコン・ゲートが形成される。続いて、セルフ・アライン技術によって、ゲート、ソース/ドレイン領域に、ゲート領域に比べて一桁少ない量のイオン注入を行い(nチャネル素子にはヒ素を50keVで 2×10^{14} (cm^{-2})、pチャネル素子にはホウ素を15keVの加速電圧で 5×10^{14} (cm^{-2})注入する)、ソース/ドレイン領域を形成し、かつ、ゲート領域の抵抗を上げないようにする。

【0028】そして、注入後の熱処理(900度、15分、空室中)によって、ソース27、ドレイン28領域の不純物を活性化する。ここまでの素子断面図が、図3(d)に示されている。

【0029】ソース27、ドレイン28領域の形成後、

5

250nmのドーパされていないLTOを堆積し、異方性エッチングを行うことにより、図4(a)に示すような、スペーサ30をゲートの側壁に形成する。続いて、80nmのTiを堆積し、600度の窒素雰囲気中でアニールすることによって、ゲートの上部とスペーサの外側に位置するソース、ドレイン領域を金属珪化物とする(この場合、TiSi₂となる)。

【0030】硫酸と過酸化水素水を混合液中で、表面に形成されたTiNをエッチングした後、もう一度800度の窒素雰囲気中で熱処理することによって、金属珪化物領域31の形成を確実なものにする。ここまでの工程が、図4(b)に示されている。この金属珪化物は、ゲート、ソース、ドレインに付随する寄生抵抗を小さくするために用いられる。

$$\Delta V_{gs} = \frac{(V_{gs} - V_{th})}{2} \left(\frac{\Delta L_e}{L_e} - \frac{\Delta W}{W} - \frac{\Delta k}{k} \right) + \Delta V_{th}$$

【0034】と表される。ここで、V_{th}はMOSトランジスタのしきい値、L_eはMOSトランジスタの実効ゲート長、Wはゲート幅、kはプロセス・トランスコンダクタンス(k=μC_{ox}と示される。μはトランジスタ中のキャリアの移動度、C_{ox}はトランジスタのゲート酸化膜の単位面積あたりの静電容量である)である。なお、Δが付加されている記号は、その後に続いたパラメータのばらつきを示している。

【0035】この中で、ΔL_e、ΔWに関する項は、MOSトランジスタの実効ゲート長L_eとゲート幅Wをある程度大きくすることによって低減できるし、Δkに関する項はそれほど大きいものではない。よって、ΔV_{gs}を小さくするためにはΔV_{th}を低減することが重要となる。

【0036】ところで、SOI/MOSトランジスタのゲート下の空乏層がSOI中に広がった完全空乏型素子では、基板濃度を低減することによって、通常のバルクMOSトランジスタに比べてΔV_{th}を低減できることが示されている(H-S Chen and S. S. Li, Solid-State Electronic

6

*【0031】金属珪化物の形成後、500nmのドーパされていないLTO膜32を堆積し、フォトリソグラフィによってコンタクト領域の穴開けを行う。最後に60nmのTiW(バリア・メタル)と1ミクロンのアルミニウムを堆積し、フォトリソグラフィによって金属配線層33を形成することによって、図4(c)に示すSOI/MOSトランジスタを完成する。

【0032】以下に、本発明を更に詳細に説明する。入力オフセット電圧V_{os}は、比較器を構成する増幅器の各トランジスタのゲートとソースの間に実効的に印加される電圧のばらつきΔV_{gs}に起因する。このΔV_{gs}は、

【0033】

【数1】

s, vol. 35, No. 9, pp. 1233-1239, 1992)。

【0037】この理由は、トランジスタのしきい値を決定する要因のうちで、チャネル下の空乏層に関連する項が、SOIを利用したものの方が、バルクMOSトランジスタに比べて小さくなり、この項に支配されるしきい値のばらつきが小さくなるためであると解説されている。

【0038】上記報告では、こうした原因を明確には説明していない。これに対して本発明では、完全空乏型のSOI/MOSトランジスタのしきい値のばらつきを解析式で表現することによって、SOI中にドーパされた不純物濃度を1×10¹⁶(cm⁻³)以下にすることによって、しきい値のばらつきの影響を特定の値以下に抑えられることを明らかにした。これを以下に示す。

【0039】完全空乏化MOSトランジスタのしきい値V_{th}は、裏面ゲート(基板)に印加されている電圧を通常の集積化の動作状態と同じく0とすると、

【0040】

【数2】

$$V_{th} = \Phi_{soi} - \frac{C_{box}}{C_{tox}} \left(\Phi_{wafer} - \frac{Q_{fb}}{C_{box}} \right) + \frac{qN_{soi} t_{soi}}{C_{tox}} + \left(\frac{C_{tox} + C_{box}}{C_{tox}} \right) \phi_s$$

$$C_{box} = \epsilon_{ox} / t_{box}$$

$$C_{tox} = \epsilon_{ox} / t_{tox}$$

【0041】と表される。ここで、 Φ_{soi} は表面ゲート、 Φ_{wafer} は裏面ゲート、 ϕ_s はSOI各領域のフェルミ・ポテンシャルであり、真性フェルミ・レベルを基準点とし、n型の場合を負にとっている。

【0042】また、 q は電子の電荷量であり、 t_{tox} は表面のゲート酸化膜厚、 t_{box} は埋め込み酸化膜厚、 t_{soi} はSOI膜厚、 N_{soi} はp型基板の場合を正としたSOI中の不純物濃度、 Q_{fb} は埋め込み酸化膜中の固定電荷密度である。また、 ϵ_{ox} はシリコンと酸化シリコンの誘電率を示している。

【0043】ここで、数2を得るため2つの近似を導入した。1つ目は、完全空乏型素子であるために、シリコンの誘電率をSOI膜厚 t_{soi} で割った値が C_{tox} に比*

*べて十分大きいこと、2つ目が、表面ゲート酸化膜中の固定電荷密度のしきい値に与える影響を無視できることを仮定している。

20 【0044】さて、製造工程において変動を受けるパラメータのうちしきい値に影響するのは、 N_{soi} 、 t_{tox} 、 t_{soi} 、 t_{box} である。この4種類のパラメータについてしきい値の変動分 ΔV_{th} の解析式を求める。数2を4つのパラメータで微分し、各パラメータの変動量は、パラメータ値の10%であると仮定すると（たとえば、 $\Delta N_{soi} = N_{soi} / 10$ ）、

【0045】

【数3】

$$\Delta V_{th}(N_{soi}) = \frac{1}{10} \left[\frac{qN_{soi} t_{soi}}{C_{tox}} + \left(\frac{C_{tox} - C_{box}}{C_{tox}} \right) \frac{1}{\beta} \right]$$

【0046】

※ ※ 【数4】

$$\Delta V_{th}(t_{tox}) = \frac{1}{10} \left[\frac{C_{box}}{C_{tox}} \left(\Phi_{wafer} - \frac{Q_{fb}}{C_{box}} \right) + \frac{qN_{soi} t_{soi}}{C_{tox}} - \frac{C_{box}}{C_{tox}} \phi_s \right]$$

【0047】

【数5】

$$\Delta V_{th}(t_{soi}) = \frac{1}{10} \frac{qN_{soi} t_{soi}}{C_{tox}}$$

【0048】

【数6】

$$\Delta V_{th}(t_{box}) = \frac{1}{10} \frac{C_{box}}{C_{tox}} (\phi_s - Q_{wafer})$$

【0049】となる。ここで、 β は q/kT で表される量で、 k はボルツマン定数、 T は絶対温度を指す。

【0050】注目すべきは、 $\Delta V_{th}(t_{box})$ を除い

て、 $\Delta V_{th}(N_{soi})$ 、 $\Delta V_{th}(t_{tox})$ 、 $\Delta V_{th}(t_{soi})$ には、 $qN_{soi} t_{soi} / C_{tox}$ という項が含まれることである。一般的に利用されているn型ポリシリコンをゲートとしたトランジスタにおいて広く使用されている0.5Vから0.7V程度のしきい値を得るためには、 N_{soi} を制御することによって行わなければならないが、この時、 N_{soi} としては $1 \times 10^{17} \text{ cm}^{-3}$ 以上の値が必要となる。

【0051】しかしながら、この濃度において通常のデバイス構造のパラメータを使用してしきい値のばらつきを計算すると、数3、数4、数5に含まれる $qN_{soi} t_{soi} / C_{tox}$ の値が他の項の20倍以上になり、しきい値のばらつきが大きくなってしまったことがわかった。

【0052】しきい値のばらつきを支配する $qN_{si}t_{ox}/C_{ox}$ を100mV以下にするためには、 N_{si} を $1.7 \times 10^{16} \text{ cm}^{-3}$ 以下の値に保ち、ゲート材料の仕事関数を工夫してしきい値を制御することが、しきい値の変動を抑えるために有効となる。

【0053】このように、入力トランジスタとしてSOI上に形成されたMOSトランジスタを使用し、このMOSトランジスタのゲート下の空乏層がSOI全体に広がる完全空乏型素子であり、かつ、SOI中にドーパされた不純物濃度が $1 \times 10^{16} (\text{cm}^{-3})$ 以下であるようにすれば、比較器の V_{os} を低減でき、高速A/D変換器の分解能を向上でき、同時に歩留りも向上できる。なお、本発明は、図1に示した単層入力型の比較器だけでなく、差動入力型の比較器においても応用可能である。

【0054】上述したように、本実施例によって作成されたSOI/MOSトランジスタでは、SOI中の不純物濃度が $1 \times 10^{16} (\text{cm}^{-3})$ 以下であるために、しきい値のばらつきが小さい。したがって、高速A/D変換器に内蔵された比較器の入力から見たオフセット電圧を低減でき、A/D変換器の分解能を向上させるのに役立つことが可能となる。

【0055】

【発明の効果】本発明は上述したように、オフセット電圧の小さな比較器を構成することができ、分解能の高い高速A/D変換器を歩留り良く実現できる。

【図面の簡単な説明】

【図1】本発明の高速A/D変換器を構成する比較器の一例を示す回路図である。

【図2】図1の回路の比較器に使用されるMOSスイッチを駆動するためのクロックを示すタイム・チャートである。

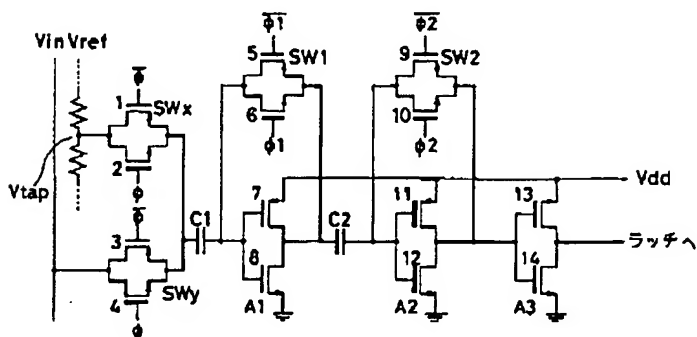
【図3】本発明の実施例におけるSOI/MOSトランジスタの製造過程を示す素子断面図である。

【図4】本発明の実施例におけるSOI/MOSトランジスタの製造過程を示す素子断面図である。

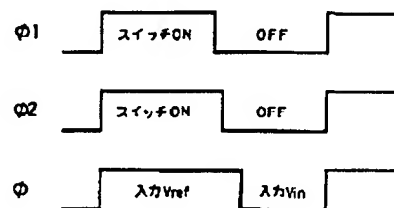
【符号の説明】

- SW1, SW2, SWx, SWy MOSスイッチ
- Vin 入力電圧
- Vref 基準電圧
- Vtap 参照電圧
- A1, A2, A3 インバータ型のアンプ
- C1, C2 オフセット電圧補償用のコンデンサ
- 1, 3, 5, 7, 9, 11, 13 pチャネル型トランジスタ
- 2, 4, 6, 8, 10, 12, 14 nチャネル型トランジスタ
- $\phi 1$ SW1を駆動するためのクロック
- $\phi 2$ SW2を駆動するためのクロック
- ϕ SWxとSWyを切り換えるためのクロック
- 21 単結晶シリコン薄膜 (SOI)
- 22 埋め込み絶縁膜
- 23 シリコン基板
- 24 パッド酸化膜
- 25 窒化シリコン膜
- 26 ゲート絶縁膜
- 27 ソース
- 28 ドレイン
- 29 ポリシリコン薄膜
- 30 スペース
- 31 金属珪化物で構成される領域
- 32 LTO膜
- 33 金属配線層

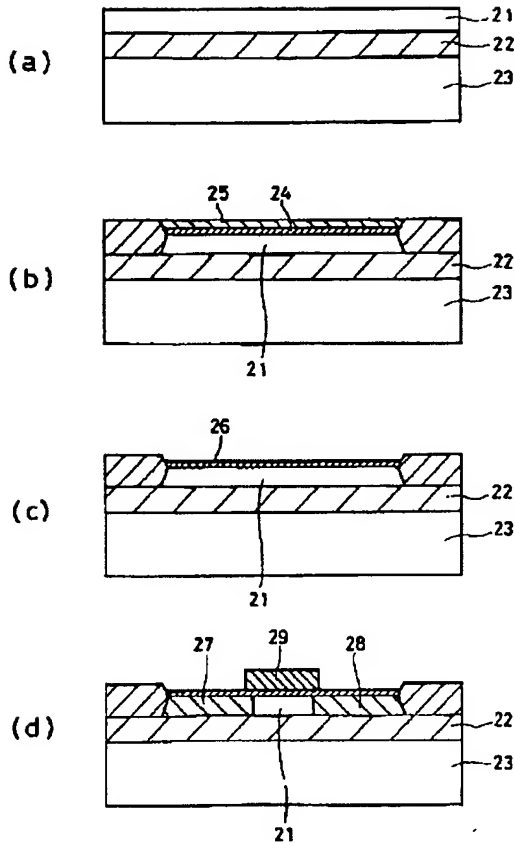
【図1】



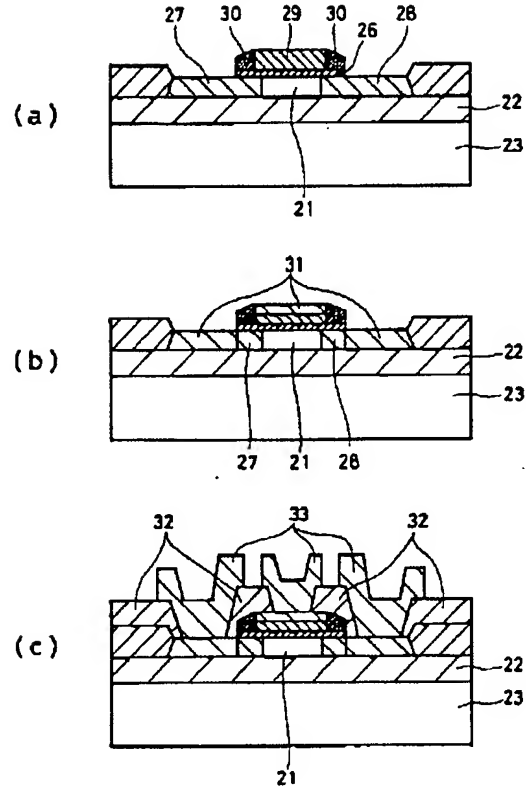
【図2】



【図3】



【図4】



【手続補正書】

【提出日】平成5年12月28日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0002

【補正方法】変更

【補正内容】

【0002】

【従来の技術】図1は、Lee, Terman, and Hellerによって開発され (IEEE Journal of Solid-State Circuits, SC-14, No. 6, pp. 926-932, *

*1979)、従来の高速A/D変換器に広く使用されているチョッパ型の比較器の回路図を示す。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0046

【補正方法】変更

【補正内容】

【0046】

【数4】

$$\Delta V_{th}(t_{...}) = \frac{1}{10} \left[\frac{C_{...}}{C_{...}} \left(\phi_{...} - \frac{Q_{...}}{C_{...}} \right) \cdot \frac{q N_{...} t_{...}}{C_{...}} \cdot \frac{C_{...}}{C_{...}} \phi_{...} \right]$$

【手続補正3】

【補正対象 書類名】明細書

【補正対象項目名】0048

【補正方法】変更

【補正内容】

【0048】

【数6】

$$\Delta V_{th}(t_{b...}) = \frac{1}{10} \frac{C_{t...}}{C_{t...}} (\phi_b - \phi_{t...})$$

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0050

【補正方法】変更

【補正内容】

【0050】注目すべきは、 $\Delta V_{th}(t_{b...})$ を除いて、 $\Delta V_{th}(N_{s...})$ 、 $\Delta V_{th}(t_{r...})$ 、 $\Delta V_{th}(t_{s...})$ には、 $qN_{s...} t_{s...} / C_{r...}$ という項が含まれることである。一般的に利用されているn型ポリシリコンをゲートとしたトランジスタにおいて広く使用されている0.5Vから0.7V程度のしきい値を得るために、 $N_{s...}$ を制御することによって行われると、 $N_{s...}$ としては $1 \times 10^{17} \text{ cm}^{-3}$ 以上の値が必要となる。

*【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0052

【補正方法】変更

【補正内容】

【0052】しきい値のばらつきを支配する $qN_{s...} t_{s...} / C_{r...}$ を100mV以下にするためには、 $N_{s...}$ を $1.7 \times 10^{16} \text{ cm}^{-3}$ 以下の値に保ち、ゲート材料の仕事関数等を工夫してしきい値を制御することが、しきい値の変動を抑えるために有効となる。

【手続補正6】

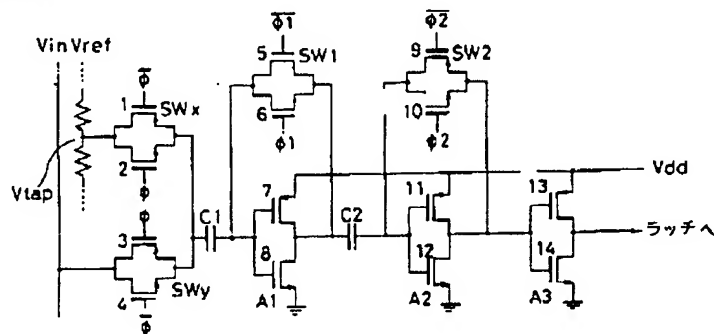
【補正対象書類名】図面

【補正対象項目名】図1

【補正方法】変更

【補正内容】

【図1】



【手続補正7】

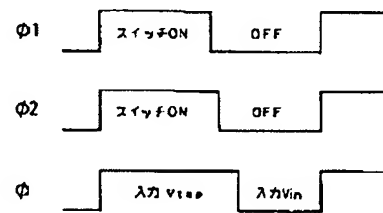
【補正対象書類名】図面

【補正対象項目名】図2

【補正方法】変更

【補正内容】

【図2】



フロントページの続き

(51)Int.Cl.⁵

H03M 1/34

識別記号

庁内整理番号

9065-5J

F I

技術表示箇所